

基于 USB 3.0 的高速 CMOS 图像 传感器数据采集系统

丁 宁¹, 常玉春¹, 赵健博¹, 王 超², 杨小天²

(1. 吉林大学 电子科学与工程学院, 长春 130012; 2. 吉林建筑大学 吉林省建筑电气综合节能重点实验室,
长春 130118)

摘要:随着高速 CMOS 图像传感器分辨率和帧率的大幅度提升,无论在数据传输带宽方面还是缓存容量方面都需要图像采集系统能够应对巨大的实时数据量来满足使用要求。基于此,本文提出了一种基于现场可编程门阵列(FPGA)和 USB 3.0 的高速 CMOS 图像传感器的数据采集系统实现方式。本文依次从系统电路硬件设计、FPGA 和 USB 3.0 芯片软件功能设计以及上位机软件设计进行阐述,最后对系统进行整体调试并给出了实验结论。测试结果表明本系统能够最大化利用 USB 3.0 芯片的传输能力,同时实现图像接收过程的零误码率。因此,该系统可较好地满足目前高速高分辨率 CMOS 图像传感器对数据采集的数据实时性和准确性要求。

关键词:通信技术;CMOS 图像传感器;高速数据采集;现场可编程门阵列;USB 3.0;LabVIEW

中图分类号:TN911.73 **文献标志码:**A **文章编号:**1671-5497(2018)04-1298-07

DOI:10.13229/j.cnki.jdxbgxb20170842

High-speed CMOS image sensor data acquisition system based on USB 3.0

DING Ning¹, CHANG Yu-chun¹, ZHAO Jian-bo¹, WANG Chao², YANG Xiao-tian²

(1. College of Electronic Science and Engineering, Jilin University, Changchun 130012, China; 2. Jilin Provincial Key Laboratory of Architectural Electricity & Comprehensive Energy Saving, Jilin Jianzhu University, Changchun 130118, China)

Abstract:Due to the rapid improvement of the resolution and frame rate of the high-speed CMOS Image Sensor (CIS), image acquisition systems claim a higher level requirement for data bandwidth and cache capacity to dealing with the huge amount of real-time data from the sensor. According to this situation, this paper presents an implementation method for high-speed CIS data acquisition system based on FPGA and USB 3.0. The acquisition system is constructed by following parts: design of system hardware circuit, FPGA and UBS 3.0 software design, PC operation software design, system testing and debugging and measurement results. The results indicate that this system

收稿日期:2017-07-20.

基金项目:吉林省科技厅重点项目(2016204042GX, 20160204069GX);吉林省科技厅项目(20170101111JC);吉林省发改委战略经济调整项目(2015Y041);国家重点研发项目(2017YFF0105303);吉林大学研究生创新研究计划项目(450060523254).

作者简介:丁宁(1990-),男,博士研究生. 研究方向:CMOS 集成电路设计. E-mail:715173723@qq.com

通信作者:常玉春(1973-),男,教授,博士生导师. 研究方向:集成电路设计. E-mail:changyc@jlu.edu.cn

can use the maximum capacity of UBS 3.0, meanwhile, achieve zero Symbol Error Rate (SER) during the image reception process. Therefore, the system satisfies the requirement of real-time ability and accuracy of data for the current high-speed resolution CIS.

Key words: communication technology; CMOS image sensor; high-speed data acquisition; field-programmable gate array(FPGA); USB 3.0; LabVIEW

0 引言

随着 CMOS 图像传感器的应用日益广泛,其性能也得到了巨大提升,尤其在高帧频、高分辨率等方面表现的极为明显。CMOS 图像传感器指标的提升势必导致产生的数据量变得非常庞大,比如国内辰芯公司最新推出的 GMAX3005 系列 CMOS 图像传感器^[1],其分辨率达到了 1.5 亿像素,其单张全幅图片产生的数据量可达到 200 MB 以上,这就要求数据采集系统必须具备数据快速读取的能力,以便系统能够在最短的时间内处理大量数据,同时把数据传到上位机进行显示或者处理的后续工作。这就要求高速数据采集系统在各个环节都必须满足处理高速数据的要求,包括数据接收、数据缓存、数据发送等^[2-4]。

数据接收方面,现场可编程门阵列(Field programmable gate array, FPGA)基于查找表结构,采用并行处理方式,可以利用其内部集成的 IP 核进行数据处理或者与外围器件进行连接,所以在高速数据采集系统中应用广泛。数据缓存是高速数据采集系统的重要部分,高传输速率和大存储容量的特性需要使用 SDRAM 才能满足系统的设计要求。但是由于 SDRAM 复杂的接口和较高的时序要求以及同步刷新等特点使其在应用上比较麻烦。不过随着 FPGA 的发展,其内部集成了控制 SDRAM 的 IP 核,使得开发者可以比较容易实现对 SDRAM 的控制。数字接口的传输速度制约着整个高速数据采集系统的性能,集高可靠性和高速度特性于一身的 USB 3.0 接口正在逐步替代目前许多 CameraLink 接口的应用,其在成本和普及性方面的优势更使其给机器视觉应用带来了更好的解决方案^[5-8]。

本文采用高性能 FPGA 作为主控芯片进行数据采集过程的整体调度;利用 DDR2 SDRAM 芯片进行图像数据缓存;上位机采用 LabVIEW 实现图像数据实时显示。经验证,该方案可以有效实现高速 CMOS 图像传感器图像数据的实时采集。

1 系统工作原理

系统上电之后,FPGA 程序通过 I²C 协议对 CMOS 图像传感器进行配置。芯片初始化以后产生像素数据,行有效信号和帧有效信号通过采集板的通用输入输出接口传输到 FPGA 内部,然后 FPGA 通过 DDR2 SDRAM 控制 IP 核程序将像素数据传输到 DDR2 SDRAM 进行缓存,缓存一帧图像后对该图像进行读取并发送到 USB 3.0 芯片接口,最后 USB 3.0 芯片将接收到的并行多路数据按照 USB 协议打包并发送到上位机。USB 3.0 芯片工作模式设置为 Slave FIFO,接口位宽设置为 32 bit。上位机界面利用 LabVIEW 语言开发,通过 VISA 工具编写 USB 3.0 驱动,建立连接以后可以与 USB 3.0 芯片进行通信,包括数据的接收和发送。上位机将接收到的图像数据进行缓存和重组,转化为图像之后进行显示。

在本设计中,为了方便对采集系统的性能进行测试,利用 FPGA 开发板模拟 CMOS 图像传感器芯片产生测试图像数据,系统对该数据进行接收,通过调整测试数据产生速率来对系统进行优化和调整,以达到最佳性能。

2 系统硬件设计

图 1 为高速 CMOS 图像传感器数据采集系统的硬件原理图。从功能上划分,系统主要由 3 部分组成:CMOS 图像传感器、高速数据采集板和上位机。不同于 CCD 图像传感器,由于 CMOS 图像传感器内部集成有模数转换器,所以 CMOS

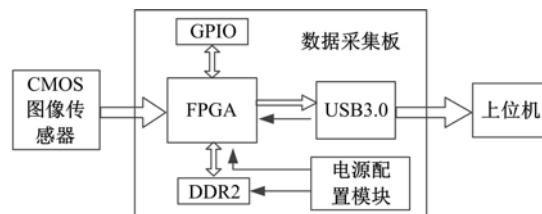


图 1 高速数据采集系统原理图

Fig. 1 Schematic diagram of high-speed data acquisition system

传感器输出的是多路数字信号,可以由 FPGA 直接进行接收。

根据 CMOS 图像传感器的输出数据格式,可以通过编写 FPGA 程序产生相同格式的数据来模拟 CMOS 图像传感器的输出信号,通过调整输出像素时钟频率和行有效、帧有效信号波形可以得到对应不同格式的图像数据,利用这种方法可以验证采集系统对于不同分辨率 CMOS 图像传感器的接收能力,本系统在验证过程中采用了此种方法。

FPGA 作为整个数据采集系统的主控芯片,在性能和资源方面需要满足构建多级缓存的数据处理需求。Xilinx 公司 Spartan-6 系列芯片具有较高性价比,选用 XC6SLX45-2FGG484C 型号的芯片,该芯片具有 43 661 个逻辑单元,最大块存储资源为 2088 kbit,片内资源可以满足需求,该芯片同时具有存储器管理模块,可以方便地进行 DDR2 动态内存控制。

FPGA 配置方式采用 SPI 主从模式,上电后 SPI-Flash 芯片引导程序启动,选用芯片型号为 M25P16,芯片中存储 FPGA 程序和用户配置文件,用户配置文件采用十六进制文本形式,主程序配置完成后读取配置文件,进行工作模式设定。

USB 3.0 芯片选用 Cypress 公司新一代产品 CYUSB3014-BZXI,该芯片具有可完全配置的并行通用可编程接口 GPIF II,可与 FPGA 直接连接。芯片集成 32 位 ARM926EJ-S 微处理器,具有强大的数据处理能力,另外该产品采用特殊架构,使从 GPIF II 到 USB 接口的数据传输速度可达 320 Mbit/s。

DDR2 SDRAM 芯片选用 Micron 公司产品型号为 MT47H64M16HR-3IT,两片 DDR2 SDRAM 芯片并联使用,并联后位宽为 32 bit,数据时钟为 400 MHz。

图 2 为高速数据采集板 PCB 板层结构和设计参数。本设计采用 6 层结构($L_1 \sim L_6$),其中 Top、Signal1、Signal2 和 Bottom 是四层信号线层;GND 为参考地层;VDD 为电源层。PCB 整体厚度设计为 62 mil(1.57 mm),PCB 材质选用能够较好控制尺寸和介质层厚度的 FR-4,在频率为 100 MHz 情况下,FR-4 介电常数平均为 4.2,根据该常数来实现对信号线的阻抗匹配。本设计中,单端信号线阻抗匹配设计为 50 Ω,差分信号线阻抗匹配设计为 90 Ω。

0.7 mil	L_1	Top
4.5 mil		
1 oz	L_2 -GND	GND
6.5 mil		
1 oz	L_3	Signal 1
30 mil	L_4	Signal 2
5.0 mil		
1 oz	L_5 -VDD	VDD
4.5 mil		
0.7 mil	L_6	Bottom

图 2 高速数据采集板 PCB 设计

Fig. 2 PCB design of high-speed data acquisition board

3 芯片程序设计

3.1 FPGA 程序设计

FPGA 芯片是整个系统的主控制芯片,负责与 USB 3.0 芯片和 DDR2 芯片等外围器件的通信,所有图像数据的接收、发送、缓存等功能都利用 FPGA 芯片来进行控制。图 3 为 FPGA 程序框图。

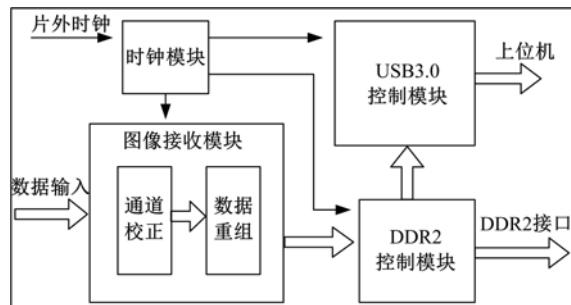


图 3 FPGA 程序框图

Fig. 3 Block diagram of FPGA program

对所采用的 CMOS 图像传感器芯片进行工作模式配置,待图像传感器初始化完毕,根据其产生的像素时钟,行有效信号和帧有效信号来接收图像数据。图像数据采集之前,首先需要对接收数据的多路通道进行校正,以保证数据采样的准确性。将 FPGA 接收到的图像数据发送到 DDR2 SDRAM 中,根据系统时序对 DDR2 进行数据写入和读出操作。在对 DDR2 进行操作之前首先需要完成初始化工作。与 USB 3.0 芯片进行通信并进行数据传输,将 DDR2 SDRAM 缓存的图像数据通过 USB 3.0 高速数据接口传送到上位机软件进行显示。

(1) DDR2 SDRAM 控制 IP 核生成方法

Core Generator 是用来生成 IP 核的 EDA 工

具,本文 DDR2 控制器就是由 Core Generator 生成,然后应用到工程文件中。生成 IP 核的过程只需按照工具提示即可完成^[9]:首先选择 FPGA 器件型号和封装类型;接着按步骤依次选择生成 IP 核所在的 Bank、DDR2 SDRAM 频率和器件型号,如果列表中没有可以选择的器件型号可以按自定义时序生成配置文件;然后对 DDR2 SDRAM 芯片的信号接口进行配置,包括阻抗匹配、端口驱动能力、端口属性、地址映射以及保留有特殊功能的引脚配置等,比如 RZQ 引脚和 ZIO 引脚;所有配置完成以后,得到信息总结列表,经过确认配置无误以后,即可开始生成 IP 核文件。在配置 IP 核的时候可以选择生成的文件类型,包括 VHDL 文件、Verilog 文件和 Schematic 文件,为了方便对工程文件的调用和修改,本文选择生成的文件类型为 Verilog 文件,在自动生成的文件夹中,可以查看生成的代码文件。

(2) 多路数字通道校正方法

FPGA 在接收数据时根据采样时钟边沿判断输入信号的高低电平,如果发生采样时钟边沿与数据边沿重合或者距离数据边沿很近从而无法保证满足建立时间和保持时间的情况,则采样得到的数据会出现错误,这一现象在信号频率比较高的时候更容易发生,所以理想的情况是采样时钟在数据高电平或者低电平持续时间的中间进行采样,以保证采样得到的数据的准确性。本系统需要对多通道高速数字信号进行采集,所以有必要增加多路通道校正模块,以保证接收的数据准确^[10]。

Spartan-6 系列 FPGA 芯片内每个 IO 模块都包含可配置延迟单元,可以用来配置 IO 接口的输入延迟、输出延迟或者在两者之间进行切换。图 4 是延迟模块的基本结构。延迟时间根据每个

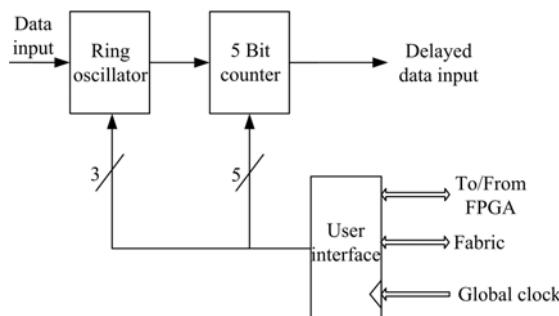


图 4 延迟模块基本结构

Fig. 4 Basic structure of delay module

延迟单位时间长度和延迟单位数目共同决定,不同型号芯片对应的延迟单位时间不完全相同,对于固定芯片来说,延迟时间由延迟单位数目决定。本系统采用的 FPGA 芯片延迟单元的延迟单位数目共有 8 位,所有延迟单位数目可以配置为 0~255 之间的任何数值。可配置 8 位数据中的低 3 位用来控制起振时刻,同时输出信号对该 5 位计数器进行记录,输出信号延迟在可配置的 0~7 之间任意个延迟单位之后。5 位计数器就是预设的 8 位数据的高 5 位,在输出信号转换为原始信号之前从 0~31 不断循环计数。正是利用这种方法实现了将输入信号延迟 0~255 个延迟单位然后输出。

本系统的通道校正方法利用状态机来实现,校正的思路是,首先选定一个数据传输通道并判断待校正信号的上升沿;然后判断待校正信号的下降沿,根据上升沿和下降沿所在延迟时刻计算出信号电平稳定持续时间的中间时刻,将该值设置为该通道的延迟数值。具体实现方法是,首先利用串并转换器降频,然后进行位校正,连续采集数据进行对比,直到多组数据相同并稳定。接着进行字校正,将采样数据与训练字进行对比,直到完全相同并稳定时字校正结束。最后进行通道校正,多个通道依次进行位校正和字校正工作,直到全部通道校正之后将校正结果上传到上位机进行观察^[11]。为了节省资源,校正过程采用各通道轮流校正,并没有采用所有通道同时校正的方式。

(3) USB 3.0 通信模块设计

本系统中,USB 3.0 控制芯片的功能是负责将接收到的图像数据发送到上位机,同时接收上位机发出的控制命令信号,以协处理器的模式工作。作为从器件,USB 3.0 芯片主要功能是进行高速数据的传输,最高支持 32 位并行数据总线,接口频率最高达到 100 MHz。图 5 是 USB 3.0 芯片作为从处理器时的接口。

FPGA 程序设计中用到多个状态,状态的跳转利用状态机来控制,本系统中用到的通信模式是回流传输模式,所以需要根据与 USB 3.0 芯片通信过程用到的状态来设计。图 6 是 FPGA 程序的状态机跳转图。在编写 FPGA 控制 USB 3.0 芯片程序时,首先需要按照 USB 3.0 工作模式确定控制模块接口信号;然后根据 USB 3.0 芯片读写时序来编写 Verilog 程序。

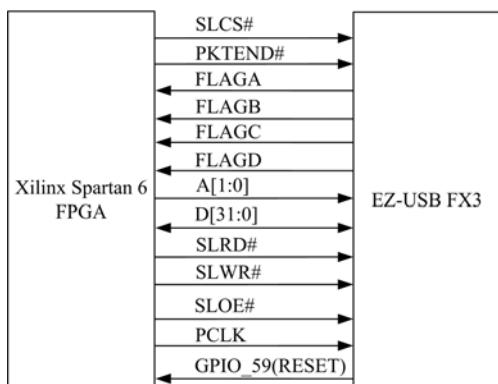


图 5 USB 从模式接口

Fig. 5 USB slave fifo interface

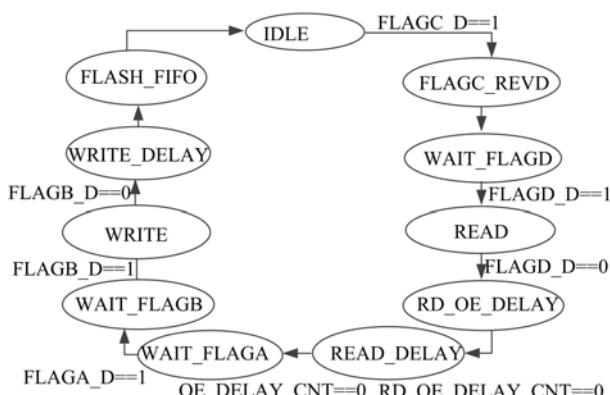


图 6 FPGA 状态机跳转图

Fig. 6 Block diagram of FPGA state machine

3.2 CYUSB3014 芯片程序设计

CYUSB3014 芯片工作方式取决于本身固件程序的设定。本系统中,USB 3.0 控制芯片作为协处理器工作,工作模式设置为 Slave FIFO,工作模式设置利用 GPIF Designer 软件实现,接口属性根据实际需求做调整,同时将更新后的配置集成到固件中,然后将更新后的固件程序下载到 USB 3.0 芯片。

首先设置接口控制信号、数据位宽和标志位属性。在设计中,将数据传输位宽设定为 32 bit,将 FLAGA 配置为 Current_thread_DMA_Ready 模式,FLAGB 配置为 Current_thread_DMA_WaterMark 模式。FLAG 信号可以设置为满/空 FLAG 和局部 FLAG,但是局部 FLAG 仅用于决定传输结束的时间,所以必须在开始传输时对满/空 FLAG 进行监控。这意味着,局部 FLAG 无法单独使用,而必须和满/空 FLAG 相结合。配置局部 FLAG 的另一点是设定固件中的标志水印

值,水印值决定何时激活局部 FLAG。设定水印值得方法是根据计算公式来确定:当进行写 FIFO 操作时,时钟沿到来后写入的数据字数=水印×(32/总线宽度)-4;当进行读 FIFO 操作时,时钟沿到来后读取的数据字数=水印×(32/总线宽度)-1。

然后,设计工作状态机和时序,GPIF Designer 软件提供了非常方便的开发环境,只需要用户按照自己的需求来添加或者修改状态及时序,在状态机和时序设计完成以后利用软件编译即可生成固件程序需要的头文件。

4 上位机软件设计

上位机是整个系统与用户交互的部分,在本系统中主要负责控制图像数据采集的开始和结束,将采集到的图像数据恢复成图像并进行显示,同时可以观察 FPGA 采集数据之前的通道校正情况。软件设计语言采用 LabVIEW。

4.1 数据采集和通信模块

LabVIEW 可以选用不同的方案与 USB 通信^[12]。第 1 种是调用动态链接库文件,提取库文件函数的方法。首先编写动态链接库 DLL 文件,然后调用 API 函数接收数据并存在缓冲区中,LabVIEW 通过调用 DLL 文件读取缓冲区可以将接收到的 USB 数据进行读写。这种方法的优点是可以实现 USB 接口免驱的特点,可移植性好,但是缺点是对 DLL 生成文件依赖性强,如果 DLL 文件中的函数运行不稳定就会导致 LabVIEW 程序崩溃。另一种方法是调用 NI-VISA 子程序控件的方法。这种方法是与 USB 设备底层直接通信,所以稳定性好而且不受平台限制,只需使用控件内的打开、关闭、读和写等模块就能实现对 USB 设备的简单读写。这种方法的劣势是与设备通信之前必须首先安装 USB 设备的驱动。考虑到系统测试阶段程序稳定性的要求,本系统选用第 2 种方法。

VISA 开发包中有可以与底层硬件直接通信的模块,只需要通过 4 个节点即可完成对 USB 设备的读写,这 4 个节点的功能分别是打开并建立资源与计算机的通信管道、关闭资源与计算机通信管道、将缓冲区的字符或者数据发送到设备以及将设备中的字符或者数据读到缓冲区。图 7 就是利用这 4 个节点实现了 LabVIEW 与 USB 设备之间的批量数据收发功能。

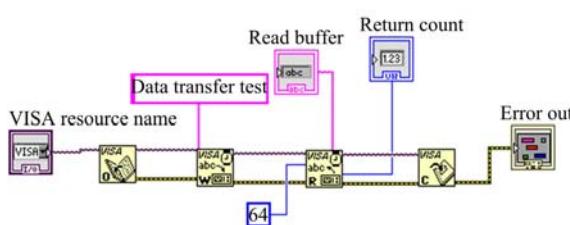


图 7 VISA 读/写 USB 程序框图

Fig. 7 VISA read/write USB program diagram

4.2 图像重组和显示

LabVIEW 作为一个软件平台,其内部集成了多种软件包,根据软件包的不同可以实现多种功能。比如用于数据采集和通信的 NI-VISA,用于机器视觉开发的 NI-Vision 等。在 4.1 节中对数据的采集就是用到了 NI-VISA 的功能。本节中,LabVIEW 的功能是需要将接收到的图像二进制数据恢复成图像并通过窗口显示出来。在 NI-Vision 开发包中集成了大量关于图像分析和处理的模块可供调用,在使用时,只需要根据数据流的传输过程和相关数据类型来确定使用哪些功能模块。

由于 USB 传输是串行传输模式,采集到的 CMOS 图像数据是以串行数据流的形式传送到上位机,所以需要对数据进行重组才能恢复出原始图像。首先需要根据数据量大小建立数据缓存,用来寄存图像数据;然后根据 CMOS 图像传感器的发送格式将数据转化成灰度图或者其他格式图像。在本设计中,像素输出格式是 RGB565 格式,即每 16 位数据代表一个像素点,所以按照 16 位数据转化一次的格式将缓存数据进行转化,转化后的图片最终为灰度图像文件。CMOS 图像传感器分辨率为 640×480 ,所以转化数据的时候当计算一帧图像完所有像素点后将缓存清空,然后继续进行下一帧的转化。

5 系统测试与结果

硬件系统检查完毕以后,在板上对 USB 3.0 引导方式进行配置,本设计中先用 I²C 引导,如果不成功则用 USB 进行引导的方式,具体配置方法是将配置引脚 PMODE[2:0] 的值设定为 F1F,也就是将 PMODE1 引脚接高电平,另外两个引脚悬空。然后检查 19.2 MHz 晶振和各部分供电电压,一切正常的情况下开始安装 USB 3.0 驱动文件。驱动完成以后将 USB 芯片通电,这时 PC 会对 USB 设备进行枚举操作,然后就可以进行数

据传输。

5.1 USB 3.0 数据传输速率测试

Cypress 公司官方提供的 SDK 中含有测试 USB 接口性能的软件,其中测试传输速度的是 Streamer 软件,本次设计中采用该软件对整个系统的数据传输速率进行测试。测试方法是利用 Xilinx 公司的核心板来模拟 CMOS 图像传感器的时序发送图像数据,数据位宽设为 8 bit,利用 LVDS 信号传输,数值初始值设为 0,每个像素时钟加 1。利用数据采集板对 8 路 LVDS 信号进行接收,然后用 Streamer 软件进行速度测试。测试结果表明,该系统数据传输速率可以达到 320 MByte 以上,并且能够基本保证数据稳定。图 8 是数据传输速率测试图。

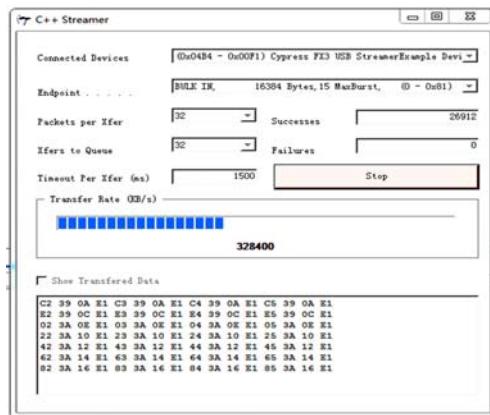


图 8 数据传输速率测试图

Fig. 8 Data transfer rate test diagram

5.2 图像传输测试

首先将整个系统各部分连接,包括图像传感器、数据采集板和 PC。系统检查正常后将系统通电,利用 JTAG 下载器将 FPGA 程序下载到 PROM 配置芯片中,配置 PROM 的同时可以连同 FPGA 一起进行配置。由于已经在 PC 上安装了 USB 3.0 驱动,所以此时电脑会识别出 USB 设备,然后利用 Control Center 软件配置 USB 3.0 芯片,由于 USB 启动方式设置为 I²C 优先配置,所以需要将固件程序下载到 I²C 配置芯片中,也就是 24LC256 芯片。所有程序下载以后,将整个系统复位,等待系统进行自动配置,包括 CMOS 图像传感器初始化,USB 固件下载等,然后就可以进行上位机的操作。首先对数据传输通道进行校正,如果校正结果正常就可以开始进行数据采集。图 9 是采集系统上位机显示界面。

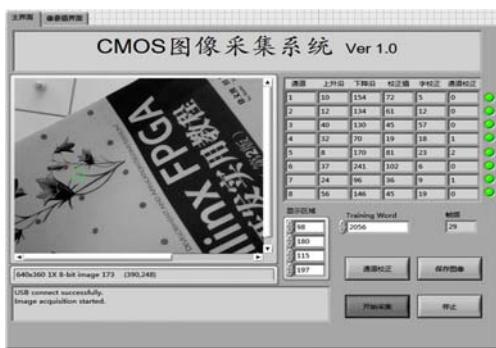


图 9 采集系统上位机显示界面

Fig. 9 Acquisition system PC display

6 结束语

本文设计了应用于 CMOS 图像传感器的高速数据采集系统。该系统以并行处理能力强大的 FPGA 作为主控芯片;DDR2 芯片负责高速数据缓存或者存储;利用 USB3.0 芯片作为接口芯片负责与上位机进行通信。测试结果表明,该系统稳定传输速率能够达到 320 Mbit/s,同时能够对 CMOS 图像传感器进行图像采集,基本能够满足大部分采集需求。该系统的另一个特点就是灵活性非常好,采集板供电采用 5 V 直流电源,上位机软件利用 LabVIEW 设计完成可以方便地封装成可执行文件,USB 接口本身具有免驱的特性,所以该系统有非常广泛的应用空间。

参考文献:

- [1] 长春长光辰芯光电技术有限公司. CMOS 图像传感器. [DB/OL]. [2017-09-16]. www.gpixelinc.com
- [2] 宋中喆,裴东兴,杨少博. 基于 USB 3.0 接口的高速数据传输系统设计[J]. 现代电子技术, 2017(4):159-162.
Song Zhong-zhe, Pei Dong-xing, Yang Shao-bo. Design of high-speed data transmission system based on USB 3.0 interface[J]. Modern Electronics Technique , 2017 (4): 159-162.
- [3] 张恒, 马庆军. 紫外遥感仪器高速 CMOS 成像电子学系统[J]. 光学精密工程, 2018, 26(2): 471-479..
Zhang Heng, Ma Qing-jun. High speed CMOS imaging electronics system for ultraviolet remote sensing instrument[J]. Optics and Precision Engineering, 2018, 26 (2): 471-479.
- [4] 王征,何云丰,曹小涛,等. 基于 FPGA 的大面积 CMOS 相机高速率电子学系统设计[J]. 液晶与显示,2016(2): 173-178.
Wang Zheng, He Yun-feng, Cao Xiao-tao, et al. Design of large area array CMOS of high speed electronics cam-
- era system based on FPGA[J]. Chinese Journal of Liquid Crystals and Displays, 2016(2):173-178.
- [5] 岳孝忠,裴东兴,王健. 基于 USB3.0 接口高速数据采集系统的设计[J]. 电子器件,2015(1):140-143.
Yue Xiao-zhong, Pei Dong-xing, Wang Jian. The design of high-speed data acquisition system based on the USB3.0 interface[J]. Chinese Journal of Electron Devices, 2015 (1):140-143.
- [6] 安平凹,尹达一. CMV2000 高速大面阵信号处理和完整性仿真分析[J]. 应用科技,2015(3):1-6.
An Ping-ao, Yin Da-yi . CMV2000 high-speed large-area signal processing and integrity simulation analysis[J]. Applied Science and Technology , 2015(3):1-6.
- [7] 刘文彬,朱名日,郑丹平,等. 基于 FPGA 的大容量数据高速采集系统的设计[J]. 计算机测量与控制,2014 (11):3751-3753.
Liu Wen-bin, Zhu Ming-ri, Zheng Dan-ping, et al. Design of large capacity and high speed acquisition system for data based on FPGA[J]. Computer Measurement & Control, 2014 (11):3751-3753.
- [8] 刘硕. 基于 FPGA 的高速数据采集卡设计与实现[D]. 西安:西安电子科技大学电子工程学院,2014.
Liu Shuo. Design and implement of high speed data acquisition card based on FPGA[D]. Xi'an:School of Electronic Engineering, Xidian University, 2014.
- [9] 徐海军,叶卫东. FPGA 在高性能数据采集系统中的应用[J]. 计测技术,2005, 25(1): 40-43.
Xu Hai-jun, Ye Wei-dong. FPGA application to high-performance data acquisition system[J]. Metrology & Measurement Technology , 2005,25(1):40-43.
- [10] 马军. 高速高性能数据采集系统的实现方法[J]. 现代电子技术,2007, 30(9): 130-131.
Ma Jun. Application approach of high speed and high performance data acquisition system[J]. Modern Electronics Technique , 2007, 30(9): 130-131.
- [11] 袁宝红,付奎,张德祥. 基于 FPGA 和 LabVIEW 的 USB 数据采集与传输系统[J]. 仪表技术与传感器,2013(9): 24-27.
Yuan Bao-hong, Fu Kui, Zhang De-xiang. USB data acquisition and transmission system based on FPGA and LabVIEW[J]. Instrument Technique and Sensor, 2013 (9):24-27.
- [12] 杨威,黄建国,王志刚. DDR SDRAM 在高速数据采集系统中的应用与设计[J]. 自动化信息,2006(8):43-45.
Yang Wei, Huang Juan-guo, Wang Zhi-gang. Application and design of DDR SDRAM to high speed data acquisition system[J]. Automation Information, 2006 (8): 43-45.